

特開2000-181784  
(P2000-181784A)  
(43)公開日 平成12年6月30日(2000.6.30)

(51)Int.C1.<sup>7</sup>

G 06 F

12/02

識別記号

5 1 0

3/08

G 11 C

16/02

F I

G 06 F

12/02

5 1 0

A 5B025

3/08

H 5B060

G 11 C

17/00

6 0 1

C 5B005

テマコード\*(参考)

審査請求 未請求 請求項の数5

OL

(全14頁)

(21)出願番号 特願平10-361070

(22)出願日 平成10年12月18日(1998.12.18)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 大内 勝美

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(73)発明者 中村 一男

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業本部内

(74)代理人 100087170

弁理士 富田 和子

最終頁に続く

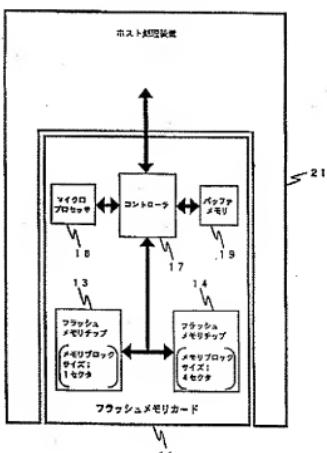
(54)【発明の名称】書き換え可能な不揮発性記憶装置

(57)【要約】

【課題】 頻繁に書き換えられる特定サイズのデータの書き換え動作を簡易にし、また、フラッシュメモリチップの寿命が短くなるのを防止する。

【解決手段】 ホスト処理装置21から指示される書き込みのデータサイズが、1セクタサイズに等しい場合、書き込みデータを、メモリロックサイズが1セクタであるフラッシュメモリチップ13に格納する。ホスト処理装置21から指示される書き込みのデータサイズが、1セクタサイズ以外の場合、書き込みデータを、メモリロックサイズが4セクタであるフラッシュメモリチップ14に格納する。

図1.



## 【特許請求の範囲】

【請求項1】 ホスト処理装置から書き込まれるデータを記憶する記憶装置であって、

第1のサイズを有し、当該サイズで書き換え可能な第1のデータ格納ブロックと、

第2のサイズを有し、当該サイズで書き換え可能な第2のデータ格納ブロックと、

ホスト処理装置が指示する書き込みデータのサイズに応じて、第1及び第2のデータ格納ブロックのいずれか一方に書き込みデータを格納する制御手段とを備えることを特徴とする記憶装置。

【請求項2】 前記制御手段は、

前記第1のデータ格納ブロックには、前記第1のサイズで書き込みが指示されたデータを格納し、

前記第2のデータ格納ブロックには、前記第1のサイズ以外のサイズで書き込みが指示されたデータを格納することを特徴とする請求項1に記載の記憶装置。

【請求項3】 ホスト処理装置から書き込まれるデータを記憶する記憶装置であって、

第1のサイズを有するブロック単位で書き換え可能な第1の記憶手段と、

第2のサイズを有するブロック単位で書き換え可能な第2の記憶手段とを備え、

ホスト処理装置から指示された書き込みデータのサイズが、前記第1のサイズであった場合は、当該データを前記第1の記憶手段に格納し、

ホスト処理装置から指示された書き込みデータのサイズが、前記第1のサイズ以外であった場合は、当該データを前記第2の記憶手段に格納することを特徴とする記憶装置。

【請求項4】 第1のサイズを有するブロック単位で書き換え可能な第1の記憶手段と、

第2のサイズを有するブロック単位で書き換え可能な第2の記憶手段とを備えた記憶装置にデータを書き込むホスト処理装置であって、

書き込みデータのサイズが、前記第1のサイズであった場合は、当該データを前記第1の記憶手段に格納し、書き込みデータのサイズが、前記第1のサイズ以外であった場合は、当該データを前記第2の記憶手段に格納することを特徴とするホスト処理装置。

【請求項5】 ホスト処理装置から転送されるデータを記憶媒体に格納する方法であって、

ホスト処理装置が指示する書き込みデータのサイズを判定し、

第1のサイズで書き込みが指示されたデータは、第1のサイズを有する第1のデータ格納ブロックに格納し、前記第1のサイズ以外のサイズで書き込みが指示されたデータは、第2のサイズを有する第2のデータ格納ブロックに格納することを特徴とするデータ格納方法。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、書き換え可能な不揮発性記憶媒体を利用した記憶装置に関し、特に、書き換え回数に上限がある不揮発性半導体メモリを利用した記憶装置に関する。

## 【0002】

【従来の技術】 近年、デジタルスチルカメラのデータストレージ装置としてや、ハンドヘルドPC等の携帯情報機器の外部記憶装置として不揮発性半導体メモリを利用した記憶装置が使用されるようになった。その代表的なものがフラッシュメモリカードである。フラッシュメモリカードは、記憶媒体としてフラッシュメモリを搭載したカード形状の小型記憶装置であり、一般にPCカードサイズ、またはそれ以下のサイズのものである。

【0003】 ここで記憶媒体として使われるフラッシュメモリは、動作電源を切ってもデータが消失することがなく書き換え可能な不揮発性半導体メモリである。フラッシュメモリは、(a)電気的に消去・書き込みを行うためオンボードでの書き換えが可能、(b)セル面積が小さく大容量化に適している、等の特長を備えている。しかし、その一方で、消去/書き込みの繰り返しによりメモリセルの特性が劣化するので、消去/書き込みの回数に上限が存在する。このようなフラッシュメモリを使用した記憶装置の例は、例えば、特開平6-4399号・公報に記載されている。

【0004】 また、フラッシュメモリは、フラッシュメモリセルの特性上、データの書き換え操作として既に書き込まれているデータに新しいデータを上書きすることは通常できない。そのため、所定サイズ(例えば、512バイト)のメモリブロック単位で一旦古いデータを消去した後に新しいデータを書き込む必要がある。ここでメモリブロックとは、不揮発性半導体メモリチップ内でデータが一括に消去される最小単位であり、一般に、NAND型、NOR型といったフラッシュメモリのセル方式により異なるサイズをもつ。

【0005】 また、従来のフラッシュメモリセルにおいては、その動作点を意味するしきい値電圧が高い領域にある場合を「0」、低い領域にある場合を「1」として、1トランジスタセルに1ビットを記憶させていた。

これに対して、近年、多値技術、すなわち、フローティングゲートに注入する電荷量を精密に制御し、しきい値電圧領域を細分化することで、1トランジスタセルに複数ビットを記憶させる技術が開発された。この多値技術により、大容量で、メモリブロックのサイズが多様なフラッシュメモリが実現できるようになった。

【0006】 これまでのフラッシュメモリのなかには、メモリブロックの大きさを、ハードディスク装置の一般的なデータ管理単位であるセクタ(512バイト)と一致させていたものがあった。しかし、このようなフラッシュメモリでも、最近では、メモリブロックの容量を増

大きせたものが開発されている。例えば、メモリブロックのサイズが2Kバイト(4セクタサイズ)のフラッシュメモリが開発されている。

【0007】上述したようなフラッシュメモリを使ったフラッシュメモリカードは、パーソナルコンピュータ(以下、PCという)の代表的な外部記憶装置であるハードディスクと比較して、ピット単価やデータの書き換え上限回数の点で劣る。その一方で、フラッシュメモリカードは、(a)小型・軽量であり持ち運びが容易で、(b)機械的駆動部分がないため衝撃や振動に対して強く、(c)低消費電力であり、電池での使用に好都合、等の特長をもち、携帯情報機器等の外部記憶装置に適している。

【0008】フラッシュメモリカードをPCの外部記憶装置として使用する場合、フラッシュメモリに格納するファイルは、PCのオペレーティング・システムで広く採用されているFAT(File Allocation Table)ファイルシステムで管理することが多い。

【0009】図13は、FATファイルシステムにおける論理的なメモリマップを示す図である。同図に示すように、メモリマップは、ブートセクタ、FAT領域1、ルートディレクトリ領域2、通常データ領域3に分けられる。

【0010】FAT領域1には、ファイルを構成するクラスタのつながりを示すデータが格納される。クラスタとは、ファイルをディスク等の記憶装置に割り当てる単位であり、複数(例えば、4つ)のセクタから構成される。

【0011】ルートディレクトリ領域2には、ルートディレクトリにあるファイルのファイル情報が格納される。また、通常データ領域3には、ファイルを構成する通常のデータが格納される。

【0012】そして、FAT領域1及びルートディレクトリ領域2のデータは、1セクタサイズ(512バイト)で頻繁に書き換えが行われ、通常データ領域3のデータは、クラスタ単位で書き換えが行われる。

### 【0013】

【発明が解決しようとする課題】メモリブロックのサイズが複数セクタ分に該当するフラッシュメモリの場合、効率的な格納をするために、一つのメモリブロックに、複数のセクタを割り当てることがある。この場合に、外部記憶装置に格納されるファイルをFATファイルシステムで管理することになると、FAT領域等のデータを格納したメモリブロックに対して、1セクタデータの書き換えが頻繁に発生することになり、その結果、フラッシュメモリチップの寿命が必要以上に短くなることがある。

【0014】例えば、1つのメモリブロックに4つのセクタデータを格納するようにした場合を考える。この場合、その4つのセクタのうちの一つのセクタの書き換え

が発生すると、そのメモリブロック全体が一旦消去された後に書き込み処理が行われる。すなわち、当該メモリブロックの消去回数は、1つのメモリブロックに1セクタが割り当てられている場合に比べて、4倍に増大しうる。その結果、1セクタサイズで頻繁に書き換えられるFAT領域等のデータを格納した一部のメモリブロックの劣化が極度に進行し、フラッシュメモリチップ全体の寿命が必要以上に短くなるおそれがある。

【0015】また、消去単位となるメモリブロックに対して、複数のセクタを割り当てるようになると、複数のセクタデータを格納したメモリブロック内の1セクタデータの書き換えを行う場合の処理も煩雑なものとなる。すなわち、同一メモリブロック内に他のセクタデータが書き込まれている場合には、まず、当該メモリブロック内のすべてのデータを、バッファメモリ等へ退避させ、当該バッファメモリにおいて、書き換え対象の1セクタデータを新しい1セクタデータに入れ替える。そして、書き換え対象のセクタを含むメモリブロックを消去し、その後に、バッファメモリ内のデータを当該メモリブロックへ転送して、書き込みを行う。以上のように、複数のセクタデータを格納したメモリブロック内の1セクタデータの書き換えは、他のセクタデータの消失を防ぐため、煩雑な処理が必要になる。

【0016】一方、外部記憶装置に対して読み書きを行うホスト処理装置におけるデータ管理単位のサイズが、メモリブロックのサイズより大きい場合は、当該データ管理単位は、複数のメモリブロックを使って格納されることになる。このような記憶装置に対して、ホスト処理装置がデータ管理単位での書き込みを行うと、記憶装置では、当該データ管理単位のデータを格納するのに必要なメモリブロック数分だけ、消去処理を行わなければならない。ひとつのメモリブロックを消去するのにかかる時間は、そのサイズにかかわらず、ほぼ一定なので、消去処理を行なうメモリブロック数に比例して消去時間が長くなる。つまり、メモリブロックより大きいデータ管理単位で頻繁に書き換えを行なうホスト処理装置においては、当該データ管理単位を格納するのに必要なメモリブロック数に比例して、書き換え速度が低下することになる。

【0017】本発明の目的は、特定サイズのデータ書き換えが頻繁に起る場合に、特定のメモリブロックの劣化によって、フラッシュメモリチップ全体の寿命が短くなるのを防止することにある。また、本発明の他の目的は、書き換えが頻繁に起る特定サイズのデータ書き換え動作を高速化することにある。

【0018】  
【課題を解決するための手段】本発明に係る記憶装置は、ホスト処理装置から書き込まれるデータを記憶する記憶装置である。そして、第1のサイズを有し、当該サイズで書き換え可能な第1のデータ格納ブロックと、第

2のサイズを有し、当該サイズで書き換える可能な第2のデータ格納ブロックと、ホスト処理装置が指示する書き込みデータのサイズに応じて、第1及び第2のデータ格納ブロックのいずれか一方に書き込みデータを格納する制御手段とを備えることを特徴とする。

【0019】この場合において、前記制御手段は、前記第1のデータ格納ブロックには、前記第1のサイズで書き込みが指示されたデータを格納し、前記第2のデータ格納ブロックには、前記第1のサイズ以外のサイズで書き込みが指示されたデータを格納するようにしてもよい。

【0020】また、本発明に係る第2の記憶装置は、第1のサイズを有するブロック単位で書き換える可能な第1の記憶手段と、第2のサイズを有するブロック単位で書き換える可能な第2の記憶手段とを備え、ホスト処理装置から指示された書き込みデータのサイズが、前記第1のサイズであった場合は、当該データを前記第1の記憶手段に格納し、ホスト処理装置から指示された書き込みデータのサイズが、前記第1のサイズ以外であった場合は、当該データを前記第2の記憶手段に格納することを特徴とする。

【0021】以上の場合において、前記第2のサイズは、前記第1のサイズの2倍以上であるようにしてもよい。この場合、第2のサイズを有する第2のデータ格納ブロック等は、第1のサイズを有するデータを複数格納できることになる。しかしながら、本発明においては、第1のサイズで書き込みが指示されたデータは、第1のサイズを有する第1のデータ格納ブロック等に格納されるので、第1のサイズでの書き込みが頻繁に発生する場合に、第1のサイズを有するデータを複数、第2のデータ格納ブロック等に格納する場合に比べて、第2のデータ格納ブロック等の書き換え回数の増大を抑えることができる。

【0022】また、前記第1のサイズは、前記第2のサイズの2倍以上であるようにしてもよい。この場合、第1のサイズを有するデータは、第2のサイズを有するデータ格納ブロックを複数使つて格納することできる。しかしながら、本発明においては、第1のサイズで書き込みが指示されたデータは、第1のサイズを有する第1のデータ格納ブロック等に格納されるので、第1のサイズを有するデータを複数の第2のデータ格納ブロックを使って格納する場合に比べて、書き換え対象となるブロックの数を減らすことができる。

【0023】本発明に係る情報処理装置は、上述したような記憶装置を備えたことを特徴とする。情報処理装置には、例えば、通常のPCやワークステーション(W/S)等が該当する。

【0024】本発明に係るホスト処理装置は、第1のサイズを有するブロック単位で書き換える可能な第1の記憶手段と、第2のサイズを有するブロック単位で書き換え

可能な第2の記憶手段とを備えた記憶装置にデータを書き込むホスト処理装置である。ホスト処理装置には、例えば、通常のPCやWS、デジタルスチルカメラ等が該当する。また、記憶装置には、例えば、小型フラッシュメモリカードが該当する。

【0025】そして、書き込みデータのサイズが、前記第1のサイズであった場合は、当該データを前記第1の記憶手段に格納し、書き込みデータのサイズが、前記第1のサイズ以外であった場合は、当該データを前記第2の記憶手段に格納することを特徴とする。

【0026】この場合において、ホスト処理装置は、前記第1のサイズでのデータ書き込みを、第1のサイズ以外のサイズでのデータ書き込みより、頻繁に行うものであってもよい。

【0027】本発明に係るデータ格納方法は、ホスト処理装置から転送されるデータを記憶媒体に格納する方法である。そして、ホスト処理装置が指示する書き込みデータのサイズを判定し、第1のサイズで書き込みが指示されたデータは、第1のサイズを有する第1のデータ格納ブロックに格納し、前記第1のサイズ以外のサイズで書き込みが指示されたデータは、第2のサイズを有する第2のデータ格納ブロックに格納することを特徴とする。

【0028】以上の場合において、書き込みデータのサイズは、ホスト処理装置より転送された命令コードに基づいて判断するようにしてもよい。

【0029】また、第1及び第2のデータ格納ブロックは、それぞれ、別々の不揮発性半導体メモリに設けるようにしてもよいし、1つの不揮発性半導体メモリに混在させて設けるようにしてもよい。

### 【0030】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0031】まず、ホスト処理装置から転送される1セクタサイズのデータを1セクタサイズのメモリブロックに格納し、それ以外は、4セクタサイズのメモリブロックに格納するフラッシュメモリカードについて説明する。

【0032】図1は、本発明による記憶装置であるフラッシュメモリカード11及びその記憶装置に対してデータの読み書きを行うホスト処理装置21の構成を示す図である。

【0033】ホスト処理装置21は、フラッシュメモリカード11が接続されて、フラッシュメモリカード11に対してデータの読み書きを行う。ホスト処理装置21は、例えば、PCカードを格納するためのスロットを装備したノート型PCやデスクトップPC等の計算機システムである。

【0034】フラッシュメモリカード11は、ホスト処理装置21の外部記憶装置として用いられるPCカード

サイズのATAカードである。フラッシュメモリカード11は、ATA(ATA Attachment)インターフェースをサポートしており、セクタ単位でデータの読み出しや書き込みが行われる。

【0035】同図に示すように、フラッシュメモリカード11は、フラッシュメモリチップ13及び14、コントローラ17、マイクロプロセッサ18並びにバッファメモリ19を備える。

【0036】フラッシュメモリチップ13は、メモリロックサイズ：1セクタ、総セクタ数：16384 (=40000h)セクタ、データ容量：64Mビットの半導体メモリチップである。なお、数字の後のhは数字が16進数であることを示す。

【0037】また、フラッシュメモリチップ14は、メモリロックサイズ：4セクタ、総セクタ数：65536 (=10000h)セクタ、データ容量：256Mビット、の半導体メモリチップである。

【0038】コントローラ17は、ホスト処理装置21とのインターフェース制御やフラッシュメモリチップとのインターフェース制御等を行う。コントローラ17は、ホストインターフェースとして、ATAインターフェースをサポートしており、ホスト処理装置21から転送される  
（a）命令コード、（b）アクセス開始の論理セクタアドレス、（c）データ転送するセクタ数、等の情報を格納するレジ斯特群を備えている。

【0039】マイクロプロセッサ18は、主に、（a）フラッシュメモリチップ13または14からホスト処理装置21へのデータの読み出し、（b）フラッシュメモリチップ13または14のメモリブロック単位での消去、（c）ホスト処理装置21からフラッシュメモリチップ13または14へのデータの書き込み、の制御を行う。

【0040】バッファメモリ19は、データの読み出し、メモリブロックの消去、データの書き込み等の動作において、データを一時的に保持するために使用される。バッファメモリ19のサイズは、実装条件等によって適当なものが選択される。ここでは、フラッシュメモリカード11が備えるフラッシュメモリチップの最大のメモリブロックサイズと等しい4セクタサイズ(2KB)とする。

【0041】図2は、フラッシュメモリカード11内の物理的なアドレスマップを示す図である。

【0042】フラッシュメモリチップ13および14は、各セクタごとに、セクタデータを記憶するデータ領域(512バイト)と該当データ領域の管理情報を記憶する管理領域(16バイト)を有している。例えば、フラッシュメモリチップ13は、64Mビットのデータ領域に対応して、2Mビットの管理領域を有している。

【0043】図2に示すように、フラッシュメモリカード11の物理セクタアドレス00000h～03FFF

hには、フラッシュメモリチップ13が割り当てられており、物理セクタアドレス04000h～13FFFhには、フラッシュメモリチップ14が割り当てられている。

【0044】なお、フラッシュメモリチップ13のメモリブロックサイズは、1セクタであり、フラッシュメモリチップ14のメモリブロックサイズは、4セクタである。以下では、フラッシュメモリチップ13が割り当てられている物理アドレス領域を、1セクタ領域といい、フラッシュメモリチップ14が割り当てられている物理アドレス領域を、4セクタ領域という。

【0045】また、物理セクタアドレス00000h～13E1Fhの81440 (=13E20h)個のセクタは、ユーザデータ領域として使われ、通常のデータ、例えば、図3の各領域のデータが格納される。また、物理セクタアドレス13E20h～13FFFhの480個のセクタは、アドレス変換テーブルとして使われ、論理セクタアドレスと物理セクタアドレスとの間でのアドレス変換情報を格納される。

【0046】図3は、フラッシュメモリチップの管理領域の構成例を示す図である。同図に示すように、管理領域には、（a）対応するデータ領域に格納されているセクタデータの論理セクタアドレス401、（b）当該セクタデータを含むメモリブロックの物理的な消去回数402、（c）データ領域のECC(Error Correcting Code)403、および（d）当該セクタの消去/書き込み状態を示すフラグ404、等の情報が格納される。

【0047】セクタの消去/書き込み状態を示すフラグ404とは、例えば、「1」の時、対応するセクタは消去状態であり、「0」の時、対応するセクタに有効なデータが書き込まれていることを表すフラグである。当該フラグ404を参照することにより、対応するセクタに有効なデータが書き込まれているか否かを判別することができる。

【0048】図4は、フラッシュメモリカード11におけるセクタの論理アドレスと物理アドレスとの間のアドレス変換情報を格納するアドレス変換テーブルの構成例を示す図である。同図に示すように、アドレス変換テーブルは、全論理セクタに対して、各論理セクタアドレスに対応する物理セクタアドレス(3バイト)を記録している。例えば、物理アドレス13FFFhの物理セクタには、論理アドレス00000h～000A9hの論理アドレスに対応する物理アドレスが格納されている。なお、フラッシュメモリカード11の使用開始時においては、アドレス変換テーブルは、例えば、論理アドレスと物理アドレスが等しくなるように、初期化されている。

【0049】次に、フラッシュメモリカード11の基本的な動作について説明する。

【0050】フラッシュメモリカード11は、ホスト処理装置21からデータ読み出しが指示されると、リード

アクセス指定された論理セクタの物理アドレスを、アドレス変換テーブルを参照して求め、求めた物理アドレスを使って、必要なセクタデータをフラッシュメモリチップ13、14から読み出して、ホスト処理装置21に渡す。

【0051】また、フラッシュメモリカード11は、ホスト処理装置21から1セクタサイズのデータ書き込みが指示されると、ライトアクセス指定された論理セクタが、1セクタ領域（すなわち、フラッシュメモリチップ13）に格納されている場合には、そのまま同じ物理セクタに対して書き換えを行う。一方、ライトアクセス指定された論理セクタが4セクタ領域（すなわち、フラッシュメモリ14）に格納されている場合には、1セクタ領域の未使用（消去状態）のメモリブロックに格納先を替える。

【0052】また、複数セクタサイズのデータ書き込みが指示されると、ライトアクセス指定された論理セクタの中に、1セクタ領域のメモリブロックに格納されている論理セクタがある場合には、当該論理セクタの格納先を、4セクタ領域のメモリブロックに変える。以上の動作はマイクロプロセッサ18内のプログラムによって行われる。

【0053】上記のようにして、1セクタサイズで書き込みが指示されるデータは、1セクタ領域のメモリブロックに格納され、それ以外のデータは、4セクタ領域のメモリブロックに格納される。従って、書き換え頻度が高いFAT領域等のセクタデータは、例えば、初期化時に4セクタ領域にマッピングされていたとしても、1セクタ領域に格納されるようになる。

【0054】以下、ホスト処理装置21がフラッシュメモリカード11へデータを書き込む場合の、フラッシュメモリカード11における処理について詳細に説明する。

【0055】図5～図7は、ホスト処理装置21からのデータ書き込み時のフラッシュメモリカード11における処理の流れを示す図である。

【0056】ホスト処理装置21がフラッシュメモリ11にデータ書き込みを行う場合、ホスト処理装置21は、コントローラ17内のレジスタ群に、(a)ライト命令コード、(b)ライトアクセスを開始する論理セクタアドレス、(c)ライトするデータセクタ数、を設定する(S601)。

【0057】すると、マイクロプロセッサ18は、まず、設定されたライトセクタ数が1に等しいか否かを判定する(S602)。そして、ライトセクタ数が1であるか否かによって、以後の処理内容を変える。

【0058】まず、ライトセクタ数が1であった場合について説明する。図6は、ライトセクタ数が1の場合のフラッシュメモリカード11における処理の流れを示す図である。

【0059】マイクロプロセッサ18は、まず、フラッシュメモリチップ14内のアドレス変換テーブルを参照して、ライトアクセス指定された論理セクタが格納されている物理セクタアドレスを取得する(S701)。

【0060】そして、マイクロプロセッサ18は、取得した物理セクタアドレスが1セクタ領域の物理セクタアドレスであるか、4セクタ領域の物理セクタアドレスであるかを判定する(S702)。1セクタ領域にあるか4セクタ領域にあるかの判定は、例えば、両領域の境界アドレス(04000h)と取得された物理セクタアドレスとを比較することで行う。

【0061】判定の結果、書き換え対象の物理セクタアドレスが、1セクタ領域にある場合(S702: Yes)、マイクロプロセッサ18は、当該物理セクタアドレスに対応するメモリブロックの消去を行う。それと並行して、ホスト処理装置21からは、1セクタ分のライトデータがバッファメモリ19へ転送される(S703)。

【0062】そして、マイクロプロセッサ18は、1セクタ分のライトデータを、バッファメモリ19から消去したメモリブロックへ転送し、書き込みを行って(S704)、書き込み処理を終了する。

【0063】一方、ステップS701で取得した物理セクタアドレスが、4セクタ領域にあった場合は(S702: No)、また、ライトアクセス対象のセクタを、消去状態、すなわち、未使用状態にする(S705)。ライトアクセス対象セクタの消去は、例えば、書き込み対象セクタを含むメモリブロック内のすべてのデータをバッファメモリ19に退避させ、当該メモリブロックの消去を行い、その後、ライトアクセス対象外の論理セクタデータを当該メモリブロックへ転送し、書き込むことを行う。

【0064】なお、メモリブロック内のデータをバッファメモリ19に退避させる前に、同一メモリブロック内にライトアクセス対象外の論理セクタデータが書き込まれているか否かを判定して、同一メモリブロック内にアクセス対象外の論理セクタデータが書き込まれていなければ、バッファメモリ19への退避を行わずに、直ちにメモリブロックを消去するようにしてもらよい。

【0065】次に、マイクロプロセッサ18は、1セクタ領域にある物理セクタの管理領域のフラグ404を参照して、消去状態の物理セクタを検索する(S706)。それと並行して、ホスト処理装置21から転送されてくる1セクタ分のライトデータがバッファメモリ19に格納される。

【0066】そして、マイクロプロセッサ18は、消去状態の物理セクタが1セクタ領域から検索できたか否かを判定し(S707)、消去状態の物理セクタが検索できた場合は(S707: Yes)、当該物理セクタへ1セクタ分のライトデータをバッファメモリ19から転送

し、書き込みを行う（S708）。

【0067】そして、マイクロプロセッサ18は、検索された物理セクタアドレスを、今回のライトアクセス対象の論理セクタに割り当てるようアドレス変換テーブルの更新を行う（S709）。この場合、検索された消去状態の物理セクタに割り当てられた論理セクタには、今回のライトアクセス対象の論理セクタに割り当てられた物理セクタが割り当てる。すなわち、消去状態（未使用）の論理セクタとライトアクセス対象の論理セクタとの間で、割り当てる物理セクタの交換が行われる。

【0068】一方、消去状態の物理セクタを1セクタ領域から検索できなかった場合は（S707：No）、1セクタ領域に、交換対象となる未使用の物理セクタがないことになるので、マイクロプロセッサ18は、1セクタ分のライトデータを、元の4セクタ領域の物理セクタへ転送し、書き込みを行う（S710）。

【0069】以上のようにして、ライトセクタ数が1のときのデータ書き込み動作が行われる。次に、ライトセクタ数が2以上のときのデータ書き込み動作について説明する。

【0070】図7は、ライトセクタ数が2以上の場合のフラッシュメモリカード11における処理の流れを示す図である。

【0071】まず、マイクロプロセッサ18は、フラッシュメモリチップ14内のアドレス変換テーブルを参照して、ライトアクセス指定された各論理セクタを格納している物理セクタアドレスを取得する（S801）。

【0072】次に、マイクロプロセッサ18は、取得された物理セクタアドレスの中に、1セクタ領域のものがあるか否かを判定する（S802）。

【0073】判定の結果、書き換え対象となる物理セクタアドレスがすべて4セクタ領域にある場合（S802：No）、マイクロプロセッサ18は、ステップS705の場合と同様にライトアクセス指定されたすべての物理セクタを消去する（S803）。それと並行して、ホスト処理装置21から転送されてくるライトデータのうち4セクタ分のデータがバッファメモリ19へ格納される。なお、ライトセクタ数が2または3のときは、2セクタ分または3セクタ分のライトデータがバッファメモリ19に格納される。

【0074】次に、マイクロプロセッサ18は、バッファメモリ19から消去した物理セクタへライトデータを転送し、書き込みを行う（S804）。残りのライトデータがある場合は、それと並行して、ホスト処理装置21からバッファメモリ19へライトデータが転送される。そして、この処理を、ホスト処理装置が指定したライトセクタ数分だけ繰り返し、データ書き込み処理を終了する。

【0075】一方、ステップS802における判定の結

10

果、書き換え対象となる物理セクタアドレスに、1セクタ領域の物理アドレスが含まれる場合（S802：Yes）、マイクロプロセッサ18は、まず、ステップS705の場合と同様に、ライトアクセス指定されたすべての物理セクタを消去する（S805）。それと並行して、ホスト処理装置21から転送されてくるライトデータのうち4セクタ分のデータがバッファメモリ19に格納される。なお、ライトセクタ数が2または3のときは、それぞれ、2セクタ分または3セクタ分のライトデータがバッファメモリ19へ格納される。

【0076】以下では、簡単のため、書き換え対象となる物理セクタアドレスがすべて1セクタ領域にある場合について説明する。

【0077】次に、マイクロプロセッサ18は、4セクタ領域内にある物理セクタの管理領域を参照して、ライトセクタ数分の消去状態の物理セクタを検索し（S806）、ライトセクタ数分の消去状態の物理セクタが検索できたか否かを判定する（S807）。

【0078】判定の結果、ライト転送セクタ数分の消去状態の物理セクタを検索できた場合（S807：Yes）、マイクロプロセッサ18は、バッファメモリ19から検索した物理セクタへライトデータを転送し、書き込みを行う（S808）。未転送のライトデータがある場合は、それと並行して、ホスト処理装置21から転送されてくるライトデータがバッファメモリ19へ格納される。そして、この処理を、ホスト処理装置が指定したライトセクタ数分だけ繰り返す。

【0079】そして、最後に、マイクロプロセッサ18は、物理セクタアドレスの交換にあわせて、アドレス変換テーブルの必要な更新を行い（S809）、データ書き込み動作を終了する。

【0080】一方、ライト転送セクタ分の消去状態の物理セクタを検索できなかった場合は（S807：No）、1セクタ領域のメモリブロックにあったライトアクセス対象の論理セクタデータの格納先を、4セクタ領域の物理セクタへ変えることができないとなして、マイクロプロセッサ18は、バッファメモリ19から、元の物理セクタへライトデータを転送して、書き込みを行う（S810）。ライトデータに残りがある場合は、それと並行して、ホスト処理装置21から転送されてくるライトデータがバッファメモリ19へ格納される。そして、この処理を、ホスト処理装置が指定したライトセクタ数分だけ繰り返し、データ書き込み動作を終了する。

【0081】以上では、簡単のため、書き換え対象となる物理セクタアドレスがすべて1セクタ領域にある場合について説明したが、書き換え対象となる物理セクタアドレスに1セクタ領域のものと4セクタ領域のものが混在する場合は、1セクタ領域のものについては上と同様の処理を行い、既に4セクタ領域にあるものについては、そのまま元の物理セクタに対して書き込みを行う。

50

【0082】本実施形態により、1セクタサイズで書き換えられるFAT領域1やルートディレクトリ領域2のデータは、当初、4セクタサイズのメモリブロックに割り当てられていたとしても、1セクタサイズのメモリブロックに格納されるようになる。よって、他のセクタデータの書き換えによるメモリブロックの消去回数の累積を防止することができ、フラッシュメモリチップの寿命を長くすることができる。また、1セクタサイズで頻繁に書き換えるFAT領域等のデータの書き換え処理において他のセクタデータの退避等が不要になる。

【0083】以上説明したフラッシュメモリカードにおいては、メモリブロックのサイズが1セクタのフラッシュメモリチップ13と、メモリブロックのサイズが4セクタのフラッシュメモリチップ14とを利用していた。しかし、FATファイルシステムにおいて、パーティションを作らなければ（すなわち、全体をひとつのパーティションとして使う場合は）、FAT領域1やルートディレクトリ領域2に使われるセクタ数は限られるので、必要となる1セクタサイズのメモリブロックも限られてくる。

【0084】そこで、次に、1セクタサイズのメモリブロックで構成されるフラッシュメモリチップ13の代わりに、1セクタサイズのメモリブロックと4セクタサイズのメモリブロックが混在しているフラッシュメモリチップを用いたフラッシュメモリカードについて説明する。

【0085】図8は、本発明による第2のフラッシュメモリカード11bの内部構成を示す図である。同図に示すように、図1に示したフラッシュメモリカード11cとの違いは、フラッシュメモリチップ13の代わりにフラッシュメモリチップ15を備えていることである。

【0086】フラッシュメモリチップ15は、1セクタサイズのメモリブロックと4セクタサイズのメモリブロックが混在する半導体メモリチップである。フラッシュメモリチップ15は、1セクタサイズのメモリブロックを、FAT領域1やルートディレクトリ領域2のデータを格納するのに必要十分な数だけ有している。

【0087】1セクタサイズで書き込みが指示されたデータは、1セクタサイズのメモリブロックへ格納し、それ以外のデータは、4セクタサイズのメモリブロックへ選択的に格納する処理は、前述したフラッシュメモリカード11の場合と同様にして行われる。

【0088】前述したように、FATファイルシステムで管理する場合、一般に、通常データ領域3は、2のべき乗個のセクタで構成されるクラスタ単位でアクセスされる。例えば、100Mバイト程度の容量をもつ外部記憶装置の場合、ホスト処理装置は、4セクタを1クラスタとしてアクセスを行うことが多い。

【0089】そこで、次に、1セクタサイズのデータに加え、16セクタサイズのデータを選択的に、それぞれ

1セクタサイズのメモリブロックおよび16セクタサイズのメモリブロックに格納するフラッシュメモリカード11cについて説明する。それ以外のサイズのデータは、4セクタサイズのメモリブロックに格納する。

【0090】図9は、本発明による第3のフラッシュメモリカード11cの内部構成を示す図である。同図に示すように、図1に示したフラッシュメモリカード11cとの違いは、フラッシュメモリチップ13及び14に加えて、更に、フラッシュメモリチップ16を備えていることである。また、マイクロプロセッサ18及びバッファメモリ19は、コントローラ17に内蔵され、1チップ化による省スペース化が図られている。

【0091】フラッシュメモリチップ16は、16セクタサイズのメモリブロックで構成されたデータ容量が512Mビットの半導体メモリチップである。フラッシュメモリカード11c全体の記憶容量は、104Mバイトになる。

【0092】ここでは、1クラスタを4セクタとし、ホスト処理装置は、フラッシュメモリカード11cに対しても、1セクタのデータ以外に、4クラスタ（16セクタ）のデータを、頻繁に書き込むものとする。

【0093】図10は、フラッシュメモリカード11cにおいて、ホスト処理装置が指定したライトデータのサイズを特定するまでの手順を示す図である。

【0094】まず、ホスト処理装置によって、コントローラ17内のレジスター群に、(a)ライト命令コード、(b)ライトアクセスを開始する論理セクタアドレス、(c)ライト転送するデータのセクタ数が設定される(S1101)。

【0095】すると、マイクロプロセッサ18は、まず、設定されたライトセクタ数が1に等しいか否かを判定する(S1102)。

【0096】判定の結果、ライトセクタ数が1に等しければ(S1102: Yes)、ライトデータをフラッシュメモリチップ13内のメモリブロックに格納する処理へと進む(S1103)。

【0097】一方、ライトセクタ数が1と異なつていれば(S1102: No)、マイクロプロセッサ18は、次に、ライトセクタ数が16に等しいか否かを判定する(S1104)。

【0098】判定の結果、ライトセクタ数が16に等しければ(S1104: Yes)、ライトデータをフラッシュメモリチップ16内のメモリブロックに格納する処理へと進む(S1105)。

【0099】一方、ライトセクタ数が16とも異なれば(S1104: No)、ライトデータをフラッシュメモリチップ14内のメモリブロックに格納する処理へと進む(S1106)。

【0100】以上のようにして、ホスト処理装置によって指示されたライトデータのサイズが特定された後の処

理は、前述したフラッシュメモリカード11の場合と同様にして行われる。

【0101】フラッシュメモリカード11cにおいては、頻繁に発生する4セクタ(16セクタサイズ)のデータ書き込みに対して、ライトデータを16セクタサイズのメモリブロックに格納するようになっているので、当該16セクタサイズのデータ書き換え処理での消去時間等を、メモリブロック1個分の消去時間等に抑えることができる。1つのメモリブロックの消去時間等は、そのサイズに関係なくほぼ一定なので、16セクタサイズのデータを4セクタサイズのメモリブロックを4つ使って格納した場合に比べて、書き換え処理の高速化が実現できる。

【0102】なお、当然の事ながら、ホスト処理装置によって指示されるライトデータのサイズの中に、頻繁に書き込みが発生する特定のサイズが3種類以上ある場合も前述した実施形態と同様にして実現することができる。

【0103】前述した実施形態では、ホスト処理装置とコントローラ17間のインターフェースとしてATAインターフェースを採用している。この場合、ライト転送動作においては、その転送セクタサイズに拘わらず、命令コードとしては、同じライト命令コードが使われる所以、マイクロプロセッサ18は、コントローラ17のレジスタから別途、ライトセクタ数を読み出して、それが、特定サイズのセクタ数であるか否かを判定する。

【0104】これに対して、ホスト処理装置・コントローラ17間のデータ転送において、特定サイズのデータとそれ以外のサイズのデータとで異なるライト命令コードを設けたインターフェースを使用するようにしてもよい。その場合、マイクロプロセッサ18は命令コードを識別するだけで、ライトデータを特定サイズのメモリブロックに格納するか否かを判定することができる。

【0105】また、以上説明した実施形態においては、フラッシュメモリカード1等の記憶装置は、記憶媒体としてのフラッシュメモリチップ13～16のほかに、コントローラ17、マイクロプロセッサ18、バッファメモリ19内蔵していたが、これらの構成要素が物理的に分離するようにしてよい。

【0106】図11は、記憶媒体部と制御部とが分離可能な記憶装置を示す図である。同図に示すように、本装置は、PCカードアダプタ20と、それに結合される小型フラッシュメモリカード12とから構成される。小型フラッシュメモリカード12には、フラッシュメモリチップ13および14を搭載する。また、PCカードアダプタ20には、コントローラ17、マイクロプロセッサ18、バッファメモリ19を搭載する。小型フラッシュメモリカード12とPCカードアダプタ20とは結合されて、ホスト処理装置21(例えば、ノート型PCのスロット)へ装着される。

【0107】図12は、本発明を適用したデジタルスチルカメラ22の構成を示す図である。同図に示すように、デジタルスチルカメラ22は、コントローラ17、マイクロプロセッサ18、バッファメモリ19を備える。また、外部記憶装置として、小型フラッシュメモリカード12が装着される。小型フラッシュメモリカード12は、メモリブロックサイズが1セクタのフラッシュメモリチップ13と、メモリブロックサイズが4セクタのフラッシュメモリチップ14とを備える。このように、フラッシュメモリチップを含む記憶媒体部をコントローラ等を含む他の部分から分離可能とすれば、メモリ容量が不足した場合は小型フラッシュメモリカード12のみを買い換ればよいので経済的である。

【0108】以上の説明では、記憶媒体としてフラッシュメモリを用いた場合について説明したが、他の不揮発性半導体記憶媒体、例えば、FRAM(Ferro-electric RAM)やEEPROM(Electrically Erasable Programmable ROM)を使用してもよい。

#### 【0109】

【発明の効果】以上詳細に説明したように、本発明によれば、特定サイズで書き込みが指示されたデータについては、同じサイズのメモリブロックに格納するので、特定サイズのデータを書き換える場合は、データの退避等を行うことなく直ちにメモリブロックを消去することができる。また、特定サイズのデータの消去時間を1メモリブロックの消去時間に抑えることができる。その結果、特定サイズのデータの書き換え速度の高速化を図ることができる。

【0110】また、特定サイズのデータについては、同じサイズのメモリブロックに格納するので、他のデータの書き換えに起因するメモリブロックの消去が発生することもないため、特定サイズのデータの書き換え頻度が高い場合であっても、メモリチップ全体の寿命の短縮化を抑制することができる。

#### 【図面の簡単な説明】

【図1】 本発明による第1のフラッシュメモリカード及びホスト処理装置の構成例を示す図である。

【図2】 第1のフラッシュメモリカード内の物理的なメモリマップの概要を示す図である。

【図3】 第1のフラッシュメモリカードにおける管理領域の概要を示す図である。

【図4】 第1のフラッシュメモリカードにおけるアドレス変換テーブルの概要を示す図である。

【図5】 第1のフラッシュメモリカードにおいて、ホスト処理装置によって指定されたライトデータのサイズを特定する処理の流れを示すフローチャートである。

【図6】 1セクタサイズのデータ書き込み動作を示すフローチャートである。

【図7】 2セクタサイズ以上のデータのデータ書き込み動作を示すフローチャートである。

【図8】 本発明による第2のフラッシュメモリカードの内部構成を示す図である。

【図9】 本発明による第3のフラッシュメモリカードの内部構成を示す図である。

【図10】 第3のフラッシュメモリカードにおいて、ホスト処理装置によって指定されたライトデータのサイズを特定するまでのフローチャートである。

【図11】 小型フラッシュメモリカード、P.Cカードアダプタ及びホスト処理装置の構成図である。

【図12】 本発明を適用したデジタルスチルカメラの構成を示す図である。

【図13】 F A Tファイルシステムにおける論理的な

メモリマップを示す図である。

#### 【符号の説明】

1 1 フラッシュメモリカード

1 3 フラッシュメモリチップ (メモリブロックサイズ: 1セクタ)

1 4 フラッシュメモリチップ (メモリブロックサイズ: 4セクタ)

1 7 コントローラ

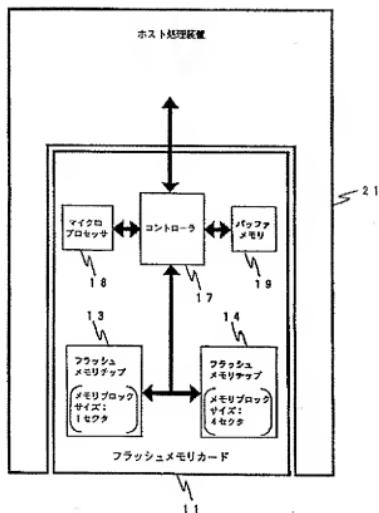
1 8 マイクロプロセッサ

1 9 バッファメモリ

2 1 ホスト処理装置

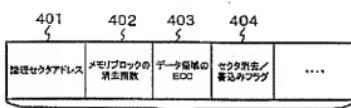
【図1】

図1.



【図3】

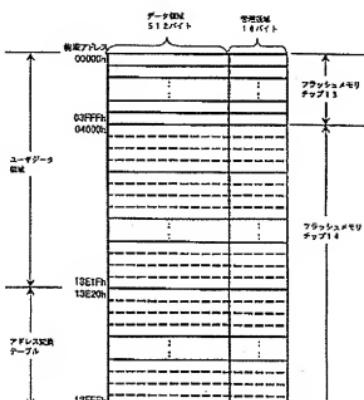
図3



管理領域 (15バイト)

【図2】

図2



【図4】

図4

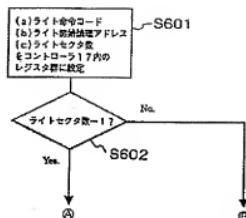
物理アドレス	隠避アドレス	隠避アドレス	隠避アドレス	隠避アドレス	...	隠避アドレス	隠避アドレス	隠避アドレス
:	:	:	:	:	.....	:	:	:
13E20h	13E1Fh	13E17h	13E15h	13E13h	.....	13E1Fh	13E1Fh	13E1Fh
隠避アドレス 000A0h	隠避アドレス 000A0h	隠避アドレス 000A0h	隠避アドレス 000A0h	隠避アドレス 000A0h	.....	隠避アドレス 00152h	隠避アドレス 00153h	隠避アドレス 00154h

2バイト

2バイト

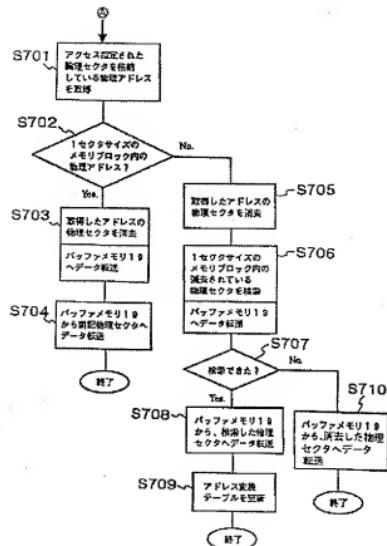
【図5】

図5



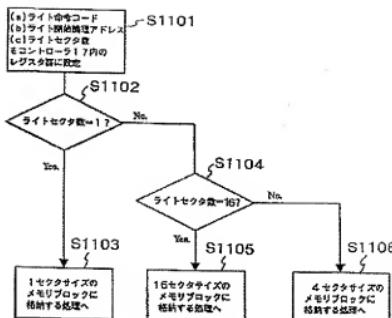
【図6】

図6

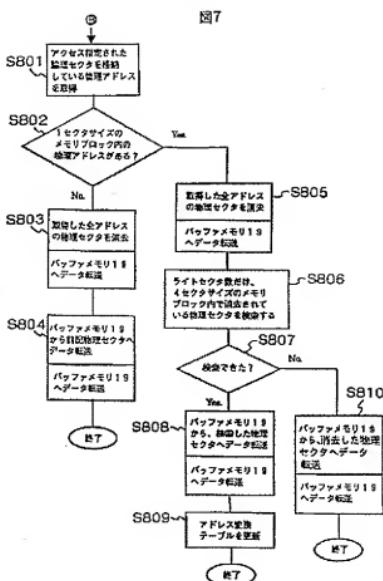


【図10】

図10

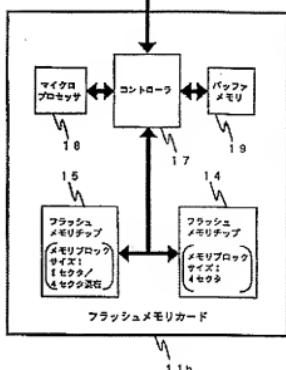


【図7】



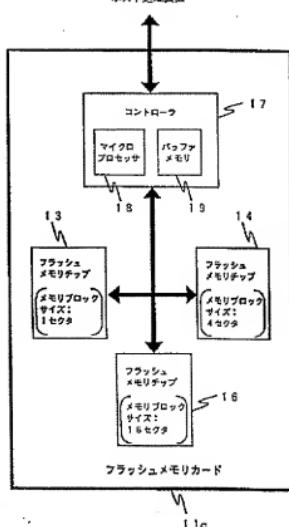
【図8】

ホスト処理装置



【図9】

ホスト処理装置

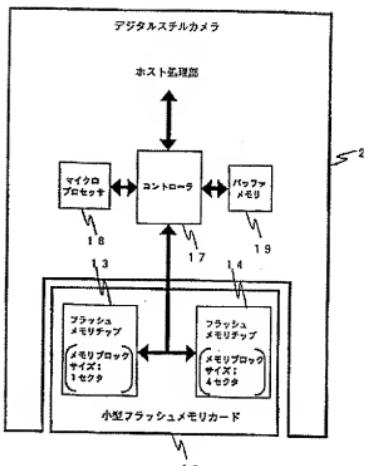
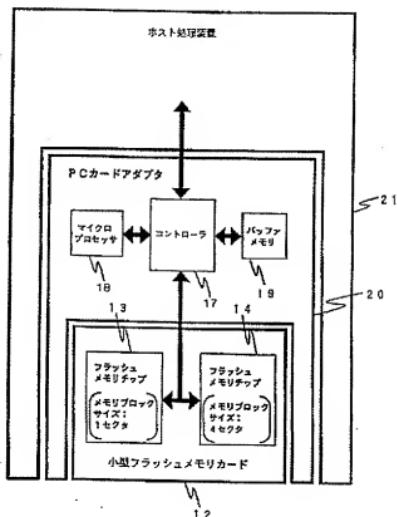


【図11】

【図12】

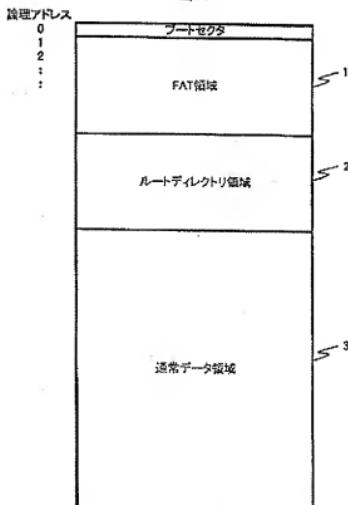
図11

図12



【図13】

図13



## フロントページの続き

(72)発明者 田村 隆之

神奈川県川崎市麻生区王禅寺1099番地 株  
式会社日立製作所システム開発研究所内

(72)発明者 片山 國弘

神奈川県川崎市麻生区王禅寺1099番地 株  
式会社日立製作所システム開発研究所内

Fターム(参考) 5B025 AD01 AD04 AD08

5B060 AA06 AA12 AC11

5B065 BA05 CC03